



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002015570 A**(43) Date of publication of application: **18.01.02**

(51) Int. Cl. **G11C 11/407**
G11C 11/409

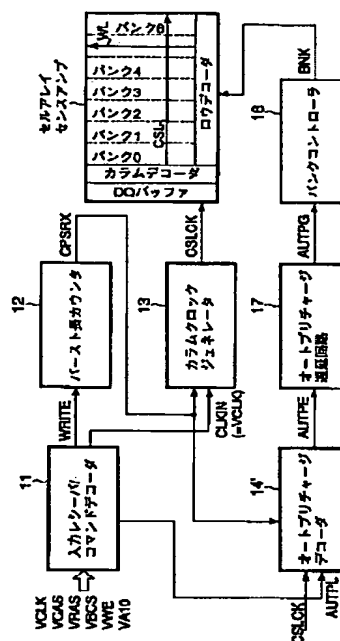
(21) Application number: **2000195173**(71) Applicant: **TOSHIBA CORP**(22) Date of filing: **28.06.00**(72) Inventor: **OTAKE HIROYUKI**(54) **SEMICONDUCTOR MEMORY**

(57) Abstract:

PROBLEM TO BE SOLVED: To prevent the occurrence of writing errors in a write and autoprecharge mode, while increasing the speed of the operations and the clock frequency.

SOLUTION: When a write and autoprecharge command is fetched, a CPSRX and an AUTPL become 'H'. When a column operation is completed, the CPSRX becomes 'L'. When the CPSRX='L' and the AUTPL='H', and a CSLCK='H' holds, an autoprecharge enable signal AUTPE becomes 'H'. When the CSLCK is 'H', AUTPE becomes 'H', and AUTPE with not depend on the leading edge of an external clock VCLK. Since the autoprecharge takes place, when a column select line CSL is put in an active state, the falling time of a word line will not depend on the external clock frequency and is always made a constant.

COPYRIGHT: (C)2002,JPO



(11)特許出願公開番号

特開2002-15570

(P2002-15570A)

(43)公開日 平成14年1月18日(2002.1.18)

(51) Int.Cl.7

識別記号

FI

テーマート* (参考)

G 1 1 C 11/407

G 1 1 C 11/34

3 6 2 S 5 B 0 2 4

11/409

3 5 3 F

審査請求 未請求 請求項の数5 OL (全 10 頁)

(21)出願番号 特願2000-195173(P2000-195173)

(22) 出願日 平成12年6月28日(2000. 6. 28)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 大竹 博之

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

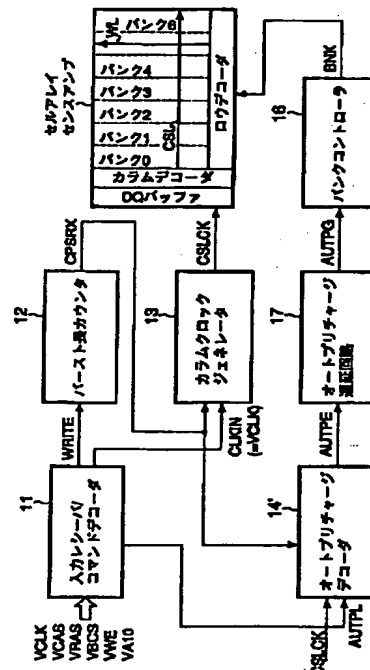
Fターム(参考) 5B024 AA03 BA07 BA13 BA21 CA11
CA16

(54) 【発明の名称】 半導体メモリ

(57) 【要約】

【課題】 高速動作化、クロックの高周波数化に対し、
ライト&オートブリチャージモードでの書き込みエラー
を防ぐ。

【解決手段】 ライト&オートプリチャージコマンドが取り込まれると、CPSRX及びAUTPLが“H”になる。この後、カラム動作が終了すると、CPSRXが“L”となる。CPSRX=“L”、AUTPL=“H”のとき、CSLCK=“H”となると、オートプリチャージイネーブル信号AUTPEが“H”となる。AUTPEは、CSLCKが“H”のときに“H”となり、外部クロックVCLKの立ち上がりエッジに依存しない。カラムセレクト線CSLがアクティブ状態になる時期からオートプリチャージが行われるため、ワード線を立ち下げる時期を外部クロックの周波数に依存させず、常に、一定とできる。



【特許請求の範囲】

【請求項1】 クロック信号及び第1制御信号に基づいて、カラムデコードを動作させるパルス信号を出力するジェネレータと、前記第1制御信号及び前記パルス信号に基づいて、ロウデコードの動作を制御する第2制御信号を出力するプリチャージデコードと、前記クロック信号に依存せずに、前記第2制御信号を一定期間だけ遅延させる遅延回路とを具備することを特徴とする半導体メモリ。

【請求項2】 前記第1制御信号が活性状態のとき、前記パルス信号が前記ジェネレータから出力され、かつ、前記第1制御信号が非活性状態となった後に前記第2制御信号が活性状態となり、活性状態の前記第2制御信号に基づいて前記ロウデコードによりワード線の電位が立ち下げられることを特徴とする請求項1記載の半導体メモリ。

【請求項3】 前記プリチャージデコードには、第3制御信号が入力され、前記第3制御信号が活性状態のときに、前記第2制御信号は、活性状態となり、前記第3制御信号は、オートプリチャージモードにおいて活性状態となり、前記オートプリチャージモードでは、前記ワード線に接続されるメモリセルにデータを書き込んだ後に、活性状態の前記第2制御信号に基づいて、自動的に、前記ワード線の電位を立ち下げると共に、次の動作の準備のためのプリチャージを行うことを特徴とする請求項2記載の半導体メモリ。

【請求項4】 前記パルス信号が出力された後、前記一定期間が経過した後に、前記クロック信号に依存することなく、前記ワード線の電位が立ち下げられることを特徴とする請求項2又は3記載の半導体メモリ。

【請求項5】 前記半導体メモリは、複数のバンクを有するシンクロナスDRAMであることを特徴とする請求項1乃至4のいずれか1項に記載の半導体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体メモリに関し、特に、オートプリチャージ動作を有するシンクロナスDRAMに使用される。

【0002】

【従来の技術】外部クロックに同期して動作するシンクロナスDRAM（以下、SDRAMと称する）には、オートプリチャージ（バンクプリチャージ）と呼ばれる動作モードがある。

【0003】このオートプリチャージモードになると、メモリチップは、プリチャージコマンドを受けなくても、自動的に、バンク内の現在選択されているワード線の電位を立ち下げると共に、次の動作（例えば、同一バンク内の次に選択されるワード線を立ち上げる動作）のための準備、即ち、バンクプリチャージを行う。

【0004】図12は、オートプリチャージモードを有

する従来のSDRAMの主要部を示している。

【0005】ライト（書き込み）モードになると、バースト長カウンタ12が活性化される。バースト長カウンタ12は、バースト信号をラッチし、カラムセレクト線イネーブル信号CPSRXを“H”に設定する。カラムセレクト線イネーブル信号CPSRXが“H”になると、カラムクロックジェネレータ13が活性化され、カラムセレクト線CSLの電位を制御するCSLCKが出力される。

【0006】なお、クロック信号CLKIN（=VCLK）は、カラムクロックジェネレータ13及びオートプリチャージシフトレジスタ15に入力される。また、カラムバースト動作終了後には、カラムセレクト線イネーブル信号CPSRXが“L”になる。

【0007】一方、ライト&オートプリチャージコマンドが入力されると、オートプリチャージデコード14にオートプリチャージ信号AUTPLが入力される。また、オートプリチャージデコード14では、カラムセレクト線イネーブル信号CPSRX及びオートプリチャージ信号AUTPLに基づいて、オートプリチャージイネーブル信号AUTPEが生成される。

【0008】オートプリチャージイネーブル信号AUTPEは、オートプリチャージシフトレジスタ15に入力され、クロック信号CLKINに同期して、tWR分だけ、シフトした後に、AUTPGとして出力される。バンクコントローラ16は、AUTPGに基づいて、バンクプリチャージ信号BNKを出力する。その結果、バンクプリチャージが行われると共に、現在選択されているワード線の電位WLが立ち下げられる。

【0009】なお、図13は、図12のオートプリチャージデコード14の具体例を示している。オートプリチャージデコード14は、インバータI1、I2と、NAND回路NA1とから構成される。また、図14(a)及び(b)は、図12のオートプリチャージシフトレジスタ15の具体例を示している。

【0010】図15は、ライト&オートプリチャージモードの信号波形を示している。オートプリチャージモードは、例えば、ダブルデータレート（DDR）型SDRAMに備えられている機能である。

【0011】DDR型SDRAMのライト（書き込み）動作においては、コマンドサイクルと同時にデータVDQがチップ内に取りこまれるのではなく、コマンドサイクルが終了してからデータの取りこみを開始するまでに、一定のクロックサイクルを必要としている。これは、ライトレイテンシ（以下、WCLと略記する）と呼ばれる。なお、図15の波形図では、WCL=1に設定されている。

【0012】また、データVDQのチップ内取り込みに関しても、DQS（=VDQS）と呼ばれる専用の入力トリガを持ち、このDQSのエッジに対してデータVD

Qがチップ内に取り込まれる。さらに、DQSは、通常、外部クロックVCLKに対して前後方向のずれを持っている。このずれは、DQSスキューと呼ばれる。なお、図15の波形図では、DQSスキュー=0に設定されている。

【0013】ライト動作では、まず、データをチップ内に取り込み、その後、カラムセレクト線CSLの電位を立ち上げ、選択されたカラムのメモリセルに対してデータを書き込む。このため、連続する複数のデータをメモリセルに書き込む場合には、最後のデータをチップ内に取り込んでからそのデータが実際にメモリセルに書き込まれるまでに一定時間を要する。

【0014】そして、この一定時間を保証するために、 t_{WR} (ライトリカバリタイム) が規定されている。そして、DDR型SDRAMでは、最後のデータがチップ内に取り込まれた直後の外部クロックの立ち上りエッジから時間 t_{WR} が経過した時点の外部クロックの立ち上がりエッジまで、バンクプリチャージコマンドをチップ内に入力してはならないことになっている。

【0015】その理由は、 t_{WR} が経過する前に、バンクプリチャージコマンドがチップ内に入力されてしまうと、最後のデータがメモリセルに書き込まれる前に、次の動作に備えてバンクプリチャージが開始され、現在、選択されているワード線WLの電位が立ち下がり、書き込みエラーを起こしてしまうからである。

【0016】そして、この t_{WR} の設定は、当然に、プリチャージコマンドを必要としないライト&オートプリチャージモードにおいても必要である。

【0017】そこで、ライト&オートプリチャージモードでは、オートプリチャージイネーブル信号AUTPEを外部クロックVCLK (=CLKIN) により、 t_{WR} だけシフトさせ、最後のデータの書き込みが完了した後に、次の動作に備えて、バンクプリチャージを行うと共に、現在、選択されているワード線WLの電位を立ち下げている。

【0018】具体的動作について説明すると、まず、バンクアクティブコマンドBAが入力されると、バンクアクティブ信号BNKが“H”となり、ロウアドレス信号により選択されたワード線WLの電位が立ち上げられる。次に、ライトコマンドWTが入力されると、ライトレイテンシWCLに相当する外部クロック数が経過した後に、バーストイネーブル信号CPSRXがアクティブ、即ち、“H”になり、カラムを選択する動作が開始される。

【0019】具体的には、バーストイネーブル信号CPSRXが“H”のときに、外部クロックVCLKとDQSを受け、カラム専用クロックCSLCKが“H”となり、カラムデコードが活性状態(動作状態)になる。その結果、カラムアドレス信号に基づいて、カラムセレクト線CSLの電位が立ち上げられ、選択されたカラムの

選択されたメモリセルに対して、データ書き込みが実行される。

【0020】所定のバースト長の連続するデータのうち最後のデータがメモリセルに書き込まれた後、次の動作(例えば、同一バンク内の次に選択されるワード線WLの電位を立ち上げる動作)に備えて、バンクプリチャージが行われると共に、現在、選択されているワード線WLの電位を立ち下げる。

【0021】なお、図15の波形図では、 $t_{WR}=1$ に設定されているため、最後のデータをチップ内に取りこんだ直後の外部クロック(1クロックサイクル分)後、最初の1つめの外部クロックの立ち上りエッジを受けて、ワード線WLの電位が立ち下げられる。

【0022】ところで、図16に示されるように、所定のバースト長の連続するデータを全て十分にメモリセルに書き込むために、カラムセレクト線CSLの電位が立ち上げられてからワード線WLの電位が立ち下げられるまでの時間 Δt_1 は、カラムセレクト線CSLの電位が立ち上げられてからメモリセルにデータが書き込まれるまでの時間 Δt_2 よりも大きくなければならない。

【0023】そして、 Δt_1 が Δt_2 よりも大きい場合における両者の差 Δt_3 は、メモリセルに対するデータ書き込み時間のマージンとなる。

【0024】

【発明が解決しようとする課題】一般に、図16の波形図において、 t_{WR} は、クロック数で規定されているため、 t_{WR} として規定されるクロック数が一定(例えば、1クロック)の場合、トランジスタの高速動作化や、外部クロックの周波数が高くなるにつれて、 Δt_1 は、短くなる。

【0025】しかし、 Δt_2 は、メモリセルにデータを書き込むために必要な時間であり、ビット線BLやメモリセルの容量や抵抗などに大きく依存する。このため、トランジスタの高速動作化や、外部クロックの周波数が高くなるにつれて、 Δt_1 は、短くなっても、 Δt_2 は、それほど短くはならない。

【0026】従って、メモリセルに対するデータ書き込み時間のマージン Δt_3 が非常に短くなってしまう。場合によっては、図17に示すように、 Δt_3 が消失し、 Δt_2 が Δt_1 よりも大きくなって、書き込みエラーを起こしてしまう。

【0027】また、DDRタイプのようなDQSを持つようなSDRAMにおいては、図18に示すように、データ取り込み信号VDQS (=DQS) と外部クロックVCLK (=CLKIN) との間においてスキュー Δt_4 が発生する可能性がある。カラムセレクト線CSLは、DQSに同期してアクティブ状態となるため、DQSが外部クロックVCLKよりも遅れている場合には、カラムセレクト線CSLは、DQSが遅れた時間分だけ遅れてアクティブ状態となる。つまり、実際に、メモリ

セルにデータが書き込まれる時間も長くなる。

【0028】ところで、ワード線WLの電位を立ち下げる時期は、外部クロックVCLKの立ち上がりエッジにより決まっているので、常に、一定である。従って、図18に示すように、メモリセルに対するデータ書き込み時間が長くなり、マージン Δt_3 が消失し、 Δt_2 が Δt_1 よりも大きくなって、結果として、書き込みエラーを起こしてしまう場合がある。

【0029】上述のような書き込みエラーを防止する対策として、図19に示すように、 t_{WR} を決定するクロック数を増やすこと（例えば、1クロック→2クロック）が考えられる。この場合、AUTPGが“H”になる時期が遅れるため、カラムセレクト線CSLの電位が立ち上げられてからワード線WLの電位が立ち下げられるまでの時間 Δt_1 が長くなり、 Δt_1 と Δt_2 （カラムセレクト線CSLの電位が立ち上げられてからメモリセルにデータが書き込まれるまでの時間）との差 Δt_3 を十分に確保でき、書き込みエラーを防止できる。

【0030】しかし、従来では、上述のような対策、即ち、オートプリチャージイネーブル信号AUTPEをクロックCLKINにより2クロック分だけシフトさせようとすると、図12のオートプリチャージシフトレジスタ15の大幅な回路変更が必要となるため、既存の回路（ t_{WR} が1クロックで規定されるもの）をそのまま使用できないばかりか、多大な設計・開発時間が必要となる。

【0031】本発明は、上記問題を解決するためになされたもので、その目的は、トランジスタの高速動作化や外部クロックの高周波数化が進行しても、 t_{WR} を規定するクロック数を変えることなく（大幅な回路変更なく）、書き込みエラーを完全に防止できる半導体メモリを提供することにある。

【0032】

【課題を解決するための手段】上記目的を達成するため、本発明の半導体メモリは、クロック信号及び第1制御信号に基づいて、カラムデコードを動作させるパルス信号を出力するジェネレータと、前記第1制御信号及び前記パルス信号に基づいて、ロウデコードの動作を制御する第2制御信号を出力するプリチャージデコードと、前記クロック信号に依存せずに、前記第2制御信号を一定期間だけ遅延させる遅延回路とを備える。

【0033】前記第1制御信号が活性状態のとき、前記パルス信号が前記ジェネレータから出力され、かつ、前記第1制御信号が非活性状態となった後に前記第2制御信号が活性状態となり、活性状態の前記第2制御信号に基づいて前記ロウデコードによりワード線の電位が立ち下げられる。

【0034】前記プリチャージデコードには、第3制御信号が入力され、前記第3制御信号が活性状態のときに、前記第2制御信号は、活性状態となり、前記第3制

御信号は、オートプリチャージモードにおいて活性状態となる。前記オートプリチャージモードでは、前記ワード線に接続されるメモリセルにデータを書き込んだ後に、活性状態の前記第2制御信号に基づいて、自動的に、前記ワード線の電位を立ち下げると共に、次の動作の準備のためのプリチャージを行う。

【0035】前記パルス信号が出力された後、前記一定期間が経過した後に、前記クロック信号に依存することなく、前記ワード線の電位が立ち下げられる。前記半導体メモリは、複数のバンクを有するシンクロナスDRAMである。

【0036】

【発明の実施の形態】以下、図面を参照しながら、本発明の半導体メモリについて詳細に説明する。

【0037】【概要】本発明は、カラムセレクト線CSLをアクティブ状態にするためのクロックCSLCKをオートプリチャージ開始の信号として使用し、従来のような外部クロックの立ち上がりエッジをオートプリチャージ開始の信号として使用しない点に特徴を有している。また、本発明では、オートプリチャージ制御を行うに当たって、従来のようなオートプリチャージシフトレジスタ（図12の“15”）を使用することなく、これに代えて、オートプリチャージ遅延回路を使用する。

【0038】そして、カラムセレクト線CSLがアクティブ状態（CSLCK=“H”）になる時期から次の動作の準備としてのオートプリチャージ（バンクプリチャージ）が行われるようにする。また、オートプリチャージ遅延回路により、ワード線を立ち下げる時期を調節する。これにより、ワード線を立ち下げる（WL=“L”とする）時期を、外部クロックVCLKの周波数に依存させず、一定とし、常に、メモリセルに対するデータ書き込みが完了した後に、ワード線WLの電位が立ち下がるようにする。

【0039】図1は、本発明に関わるオートプリチャージモードを有するSDRAMの主要部を示している。

【0040】ライト（書き込み）モードになると、バースト長カウンタ12が活性化される。バースト長カウンタ12は、バースト信号をラッチし、カラムセレクト線イネーブル信号CPSRXを“H”に設定する。カラムセレクト線イネーブル信号CPSRXが“H”になると、カラムクロックジェネレータ13が活性化され、カラムクロックジェネレータ13からカラムセレクト線CSLの電位を制御する制御信号CSLCKが出力される。

【0041】なお、クロック信号CLKIN（=VCLK）は、カラムクロックジェネレータ13に入力され、オートプリチャージシフトレジスタ（図12の“15”）の代わりに設けられたオートプリチャージ遅延回路17には入力されない。また、カラムバースト動作終了後には、カラムセレクト線イネーブル信号CPSRX

が“L”になる。

【0042】ライト&オートプリチャージコマンドが入力レシーバ/コマンドデコーダ11に入力されると、オートプリチャージデコーダ14'にオートプリチャージ信号AUTPLが入力される。また、オートプリチャージデコーダ14'では、制御信号CSLCK、カラムセレクト線イネーブル信号CPSRX及びオートプリチャージ信号AUTPLに基づいて、オートプリチャージイネーブル信号AUTPEが生成される。

【0043】オートプリチャージイネーブル信号AUTPEは、オートプリチャージ遅延回路17に入力され、tWR分だけ、遅延した後に、制御信号AUTPGとして出力される。バンクコントローラ16は、制御信号AUTPGに基づいて、バンクプリチャージ信号BNKを出力する。その結果、バンクプリチャージが行われると共に、現在選択されているワード線の電位WLが立ち下げられる。

【0044】なお、図2乃至図4は、図1のオートプリチャージデコーダ14'に与える制御信号CSLCKを生成する回路の具体例を示している。但し、図2乃至図4の回路に代えて、図1のカラムクロックジェネレータ13の出力信号CSLCKを、オートプリチャージデコーダ14'に与えてもよい。

【0045】また、図5は、図1のオートプリチャージデコーダ14'の具体例を示している。オートプリチャージデコーダ14'は、インバータI3、I4、NAND回路NA12及びNOR回路NR1から構成される。また、図6及び図7は、図1のオートプリチャージ遅延回路17の具体例を示している。

【0046】〔第1実施の形態〕図8は、本発明の第1実施の形態に関わるライト&オートプリチャージモードの信号波形を示している。以下、本実施の形態の動作を図1及び図8を参照しつつ説明する。

【0047】本実施の形態では、データをチップ内に取りこむに当たって、クロックを使用しており、DQSを使用していない。このため、カラムセレクト線CSLをアクティブ状態にするためのCSLCKは、クロックCLKIN(=VCLK)の立ち下がりエッジから生成される。オートプリチャージデコーダ14'に入力されるパルス信号CSLCKは、例えば、図2に示すようなパルスジェネレータにより生成される。

【0048】ここで、ライト&オートプリチャージコマンドがチップ内に取り込まれると、従来と同様に、カラムセレクト線イネーブル信号CPSRX及びオートプリチャージ信号AUTPLがアクティブ状態(“H”)になる。そして、この後、従来通り、カラム動作が終了すると、カラムセレクト線イネーブル信号CPSRXが“L”となる。

【0049】CPSRX=“L”、AUTPL=“H”のとき、CSLCK=“H”となると、図1及び図5

に示すオートプリチャージデコーダ14'の出力信号(オートプリチャージイネーブル信号)AUTPEが“H”となる。このように、本発明では、オートプリチャージを開始するためのオートプリチャージイネーブル信号は、CSLCKが“H”になったときに“H”となり、従来のような外部クロックVCLKの立ち上がりエッジに依存しない。

【0050】オートプリチャージイネーブル信号AUTPE(=“H”)は、図6又は図7に示すようなオートプリチャージ遅延回路によって、一定時間だけ、遅延させられた後に、制御信号AUTPG(=“H”)として出力される。バンクコントローラ16は、制御信号AUTPGに基づいて、バンクプリチャージ信号BNKを出力する。その結果、バンクプリチャージが開始され、かつ、選択されたワード線WLの電位が立ち下げられる。

【0051】なお、図1のオートプリチャージ遅延回路(具体例については、図6及び図7を参照)17の遅延時間は、カラムセレクト線CSLがアクティブ状態になってからメモセルにデータが十分に書き込まれるまでの時間と、バンクプリチャージ開始から選択されたワード線の電位が立ち下がるまでの時間との関係によって決定される。

【0052】本実施の形態によれば、外部クロックの周波数が高くなったとしても、常に、カラムセレクト線CSLがアクティブ状態になって、メモセルにデータが十分に書き込まれた後に、バンクプリチャージが開始され、ワード線WLの電位が立ち下がることになるため、書き込みエラーを起こすことがない。

【0053】また、外部クロックの周波数が高くなった場合に、従来と同様に、tWRを規定するクロック数を増やすことが行われるが(図19)、このような場合においても、本実施の形態では、クロックに同期してオートプリチャージイネーブル信号AUTPEをシフトさせる回路が存在しないため、既存のオートプリチャージ遅延回路をそのまま使用できる。

【0054】〔第2実施の形態〕図9は、本発明の第2実施の形態に関わるライト&オートプリチャージモードの信号波形を示している。以下、本実施の形態の動作を図1及び図9を参照しつつ説明する。

【0055】本実施の形態は、DQSに同期させて、データをチップ内に取りこむ場合であり、かつ、このDQSがクロックに対して遅れた場合の例である。オートプリチャージデコーダ14'に入力されるパルス信号CSLCKは、例えば、図3に示すようなパルスジェネレータにより生成される。

【0056】ライト&オートプリチャージコマンドがチップ内に取り込まれると、従来と同様に、カラムセレクト線イネーブル信号CPSRX及びオートプリチャージ信号AUTPLがアクティブ状態(“H”)になる。そして、この後、従来通り、カラム動作が終了すると、カ

ラムセレクト線イネーブル信号CPSRXが“L”となる。また、本例では、データは、DQSに同期してチップ内に取りこまれるため、制御信号CSLCKは、DQSの立ち下がりエッジを受けて、図3に示すパルスジェネレータにより、“H”となる。

【0057】CPSRX=“L”、AUTPL=“H”のとき、CSLCK=“H”となると、図1及び図5に示すオートプリチャージデコード14'の出力信号(オートプリチャージイネーブル信号)AUTPEが“H”となる。このように、本発明では、オートプリチャージを開始するためのオートプリチャージイネーブル信号は、CSLCKが“H”になったときに“H”となり、従来のような外部クロックVCLKの立ち上がりエッジに依存しない。

【0058】オートプリチャージイネーブル信号AUTPE(=“H”)は、図6又は図7に示すようなオートプリチャージ遅延回路によって、一定時間だけ、遅延させられた後に、制御信号AUTPG(=“H”)として出力される。バンクコントローラ16は、制御信号AUTPGに基づいて、バンクプリチャージ信号BNKを出力する。その結果、バンクプリチャージが開始され、かつ、選択されたワード線WLの電位が立ち下げられる。

【0059】なお、本実施の形態では、クロックVCLK(=CLKIN)とVDQS(=DQS)にスキュー Δt_4 が存在し、かつ、クロックVCLKに対して、DQSが Δt_4 だけ遅れているとすると、パルス信号CSLCKも、 Δt_4 だけ遅れることになる。

【0060】従来では、このスキュー Δt_4 により、データがメモリセルに十分に書き込まれない状態でワード線WLの電位が立ち下がる場合が生じていた。

【0061】しかし、本発明によれば、パルス信号CSLCKに基づいてバンクプリチャージイネーブル信号AUTPEが出力されるため、CSLCKが Δt_4 だけ遅れると、これに伴い、制御信号AUTPGも Δt_4 だけ遅れることになる。結果として、最終バーストのデータがメモリセルに十分に書き込まれた後に、バンクプリチャージが開始され、ワード線WLの電位が立ち下げられるため、書き込みエラーが発生しない。

【0062】なお、図1のオートプリチャージ遅延回路(具体例については、図6及び図7を参照)17の遅延時間も、カラムセレクト線CSLがアクティブ状態になってからメモリセルにデータが十分に書き込まれるまでの時間と、バンクプリチャージ開始から選択されたワード線の電位が立ち下がるまでの時間との関係によって決定される。

【0063】本実施の形態によれば、クロックVCLK(=CLKIN)とVDQS(=DQS)がスキューを持ち、かつ、DQSがクロックVCLK(=CLKIN)に対して遅れた場合でも、最後のデータ書き込みが完了してから現在選択されているワード線WLを立ち下

げるまでの期間は、常に、一定であるため、必ず、メモリセルにデータが十分に書き込まれた後に、ワード線WLの電位が立ち下がることになる。従って、このようなケースにおいても、書き込みエラーが発生することはない。

【0064】[第3実施の形態] 図10は、本発明の第3実施の形態に関わるライト&オートプリチャージモードの信号波形を示している。以下、本実施の形態の動作を図1及び図10を参照しつつ説明する。

【0065】本実施の形態は、CSLCKを、DQS=“L”及びVCLK=“L”になったときに、アクティブ状態にした例である。このような場合には、DQSが、クロックよりも速く、又はクロックと同時に入力されたときは、CSLCKは、VCLK=“L”に基づいて“H”になり、また、DQSが、クロックよりも遅れて入力されたときは、CSLCKは、DQS=“L”に基づいて“H”になる。オートプリチャージデコード14'に入力されるパルス信号CSLCKは、例えば、図4に示すようなパルスジェネレータにより生成される。

【0066】ライト&オートプリチャージコマンドがチップ内に取り込まれると、従来と同様に、カラムセレクト線イネーブル信号CPSRX及びオートプリチャージ信号AUTPLがアクティブ状態(“H”)になる。そして、この後、従来通り、カラム動作が終了すると、カラムセレクト線イネーブル信号CPSRXが“L”となる。また、本例では、制御信号CSLCKは、DQS及びCLKINを受けて、図4に示すパルスジェネレータにより、“H”となる。

【0067】CPSRX=“L”、AUTPL=“H”のとき、CSLCK=“H”となると、図1及び図5に示すオートプリチャージデコード14'の出力信号(オートプリチャージイネーブル信号)AUTPEが“H”となる。このように、本発明では、オートプリチャージを開始するためのオートプリチャージイネーブル信号は、CSLCKが“H”になったときに“H”となり、従来のような外部クロックVCLKの立ち上がりエッジに依存しない。

【0068】オートプリチャージイネーブル信号AUTPE(=“H”)は、図6又は図7に示すようなオートプリチャージ遅延回路によって、一定時間だけ、遅延させられた後に、制御信号AUTPG(=“H”)として出力される。バンクコントローラ16は、制御信号AUTPGに基づいて、バンクプリチャージ信号BNKを出力する。その結果、バンクプリチャージが開始され、選択されたワード線WLの電位が立ち上げられる。

【0069】なお、本実施の形態では、上述の第2実施の形態と同様に、クロックVCLK(=CLKIN)に対して、DQSが Δt_4 だけ遅れたとすると、CSLCKも、 Δt_4 だけ遅れることになる。しかし、これに伴い、AUTPGも、 Δt_4 だけ遅れるため、書き込みエ

ラーが発生することはない。

【0070】なお、図1のオートプリチャージ遅延回路（具体例については、図6及び図7を参照）17の遅延時間も、カラムセレクト線CSLがアクティブ状態になってからメモリセルにデータが十分に書き込まれるまでの時間と、バンクプリチャージ開始から選択されたワード線の電位が立ち下がるまでの時間との関係によって決定される。

【0071】本実施の形態においても、上述の第2実施の形態と同様の効果を得ることができる。即ち、クロックVCLK (=CLKIN) とVDQS (=DQS) がスキューを持ち、かつ、DQSがクロックVCLK (=CLKIN) に対して遅れた場合でも、最後のデータ書き込みが完了してから現在選択されているワード線WLを立ち下げるまでの期間は、常に、一定であるため、必ず、メモリセルにデータが十分に書き込まれた後に、ワード線WLの電位が立ち下がることになる。従って、このようなケースにおいても、書き込みエラーが発生することはない。

【0072】〔第4実施の形態〕図11は、本発明の第4実施の形態に関わるライト&オートプリチャージモードの信号波形を示している。以下、本実施の形態の動作を図1及び図11を参照しつつ説明する。

【0073】本実施の形態は、高速サイクルにおいて、従来のSDRAMと同様に、クロックの“H”のみでデータをチップ内に取り込んだ場合の例である。本実施の形態では、WCL=0となっている。

【0074】ライト&オートプリチャージコマンドがチップ内に取り込まれると、従来と同様に、カラムセレクト線イネーブル信号CPSRX及びオートプリチャージ信号AUTPLがアクティブ状態（“H”）になる。そして、この後、従来通り、カラム動作が終了すると、カラムセレクト線イネーブル信号CPSRXが“L”となる。また、本例では、制御信号CSLCKは、クロックの“H”を受けて“H”となる。

【0075】CPSRX=“L”、AUTPL=“H”のとき、CSLCK=“H”となると、図1及び図5に示すオートプリチャージデコード14'の出力信号（オートプリチャージイネーブル信号）AUTPEが“H”となる。このように、本発明では、オートプリチャージを開始するためのオートプリチャージイネーブル信号は、CSLCKが“H”になったときに“H”となり、従来のような外部クロックVCLKの立ち上がりエッジに依存しない。

【0076】オートプリチャージイネーブル信号AUTPE (=“H”) は、図6又は図7に示すようなオートプリチャージ遅延回路によって、一定時間だけ、遅延させられた後に、制御信号AUTPG (=“H”) として出力される。バンクコントローラ16は、制御信号AUTPGに基づいて、バンクプリチャージ信号BNKを出

力する。その結果、バンクプリチャージが開始され、選択されたワード線WLの電位が立ち下げられる。

【0077】なお、図1のオートプリチャージ遅延回路（具体例については、図6及び図7を参照）17の遅延時間も、カラムセレクト線CSLがアクティブ状態になってからメモリセルにデータが十分に書き込まれるまでの時間と、バンクプリチャージ開始から選択されたワード線の電位が立ち下がるまでの時間との関係によって決定される。

【0078】本実施の形態によれば、シングルデータ型SDRAMにおいて、外部クロックの周波数が高くなったとしても、常に、カラムセレクト線CSLがアクティブ状態になって、メモリセルにデータが十分に書き込まれた後に、ワード線WLの電位が立ち下がることになるため、書き込みエラーを起こすことがない。

【0079】また、外部クロックの周波数が高くなった場合に、従来と同様に、tWRを規定するクロック数を増やすことが行われるが（図19）、このような場合においても、本実施の形態では、クロックに同期してオートプリチャージイネーブル信号AUTPEをシフトさせる回路が存在しないため、既存のオートプリチャージ遅延回路をそのまま使用できる。

【0080】

【発明の効果】以上、説明したように、本発明によれば、ライトリカバリ時間tWRを、クロックに依存させずに設定することができ、また、クロックを高速化したときでも回路変更なしに、書き込みエラーを防止できる。また、DQSを持つSDRAMにおいては、DQSの遅延による書き込みエラーも回避できる。

【0081】このように、本発明は、ライト&オートプリチャージモードにおいて、クロックに依存させずに、カラム動作終了後、ライトリカバリ時間tWRが経過した後に、バンクプリチャージ動作を開始させる。従って、回路変更なしに、今後のクロックの高速化やこれに伴うライトリカバリ時間tWRを規定するクロック数の増加にも対応することができる。

【図面の簡単な説明】

【図1】本発明のライト&オートプリチャージを実行する回路ブロック図。

【図2】CSLCKを生成する回路の第1例を示す図。

【図3】CSLCKを生成する回路の第2例を示す図。

【図4】CSLCKを生成する回路の第3例を示す図。

【図5】オートプリチャージデコードの一例を示す図。

【図6】オートプリチャージ遅延回路の第1例を示す図。

【図7】オートプリチャージ遅延回路の第2例を示す図。

【図8】本発明の第1実施の形態に関わる動作波形図。

【図9】本発明の第2実施の形態に関わる動作波形図。

【図10】本発明の第3実施の形態に関わる動作波形

図。

【図11】本発明の第4実施の形態に関わる動作波形図。

【図12】従来のライト&オートプリチャージを実行する回路ブロック図。

【図13】従来のオートプリチャージデコーダの一例を示す図。

【図14】従来のオートプリチャージシフトレジスタの一例を示す図。

【図15】従来のライト&オートプリチャージの動作波形図。

【図16】従来のライト&オートプリチャージの動作波形図。

【図17】図15の波形図においてクロックが高速化したときの動作波形図。

【図18】図15の波形図においてDQSが遅延したときの動作波形図。

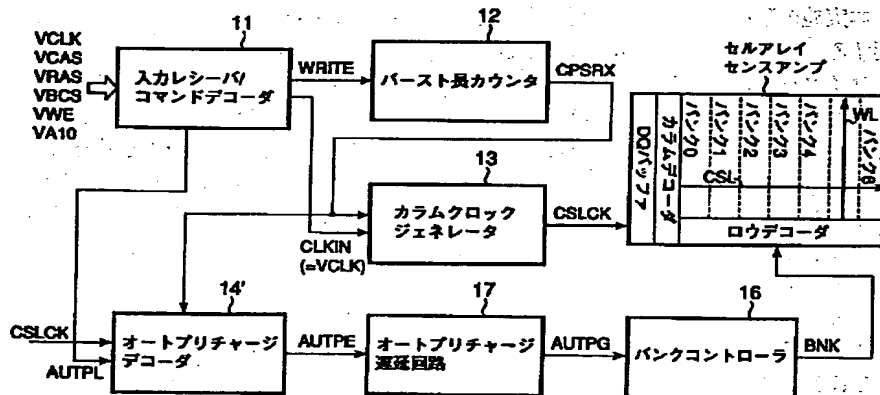
【図19】図17の波形図においてtWRを2クロック

としたときの動作波形図。

【符号の説明】

11 : 入力レシーバ/コマ
ンドレジスタ、
12 : バースト長カウン
タ、
13 : カラムクロックジェ
ネレータ、
14, 14' : オートプリチャージ
デコーダ、
15 : オートプリチャージ
シフトレジスタ、
16 : バンクカウンタ、
17 : オートプリチャージ
遅延回路、
NA1, NA2 : NAND回路、
NR1 : NOR回路、
I1~I4 : インバータ。

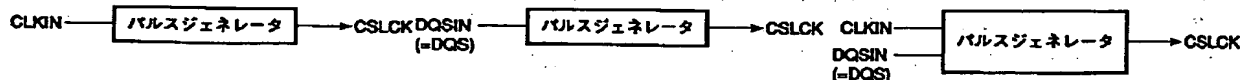
【図1】



【図2】

【図3】

【図4】

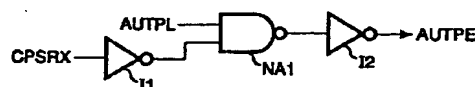


【図5】

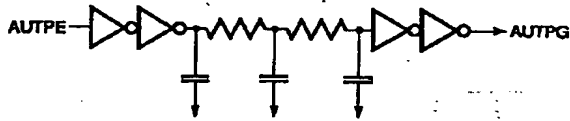
【図6】



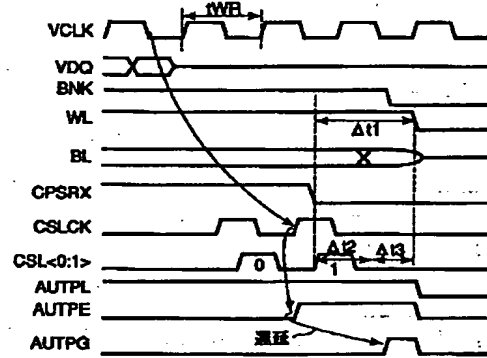
【図13】



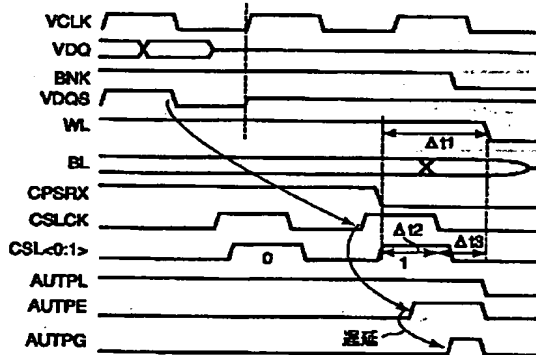
【図7】



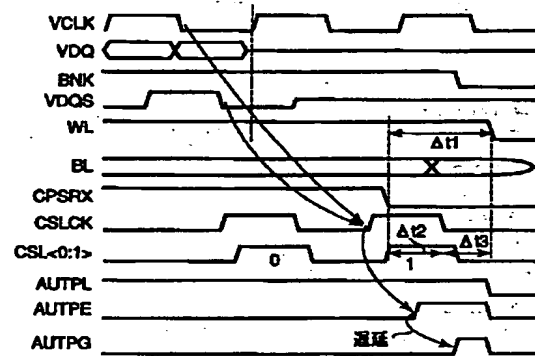
【図8】



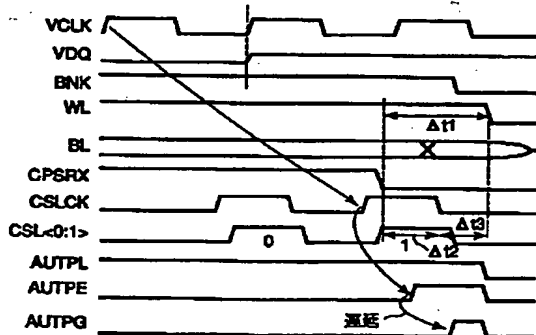
【図9】



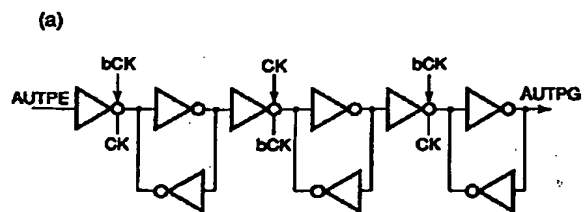
【図10】



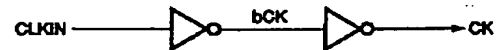
【図11】



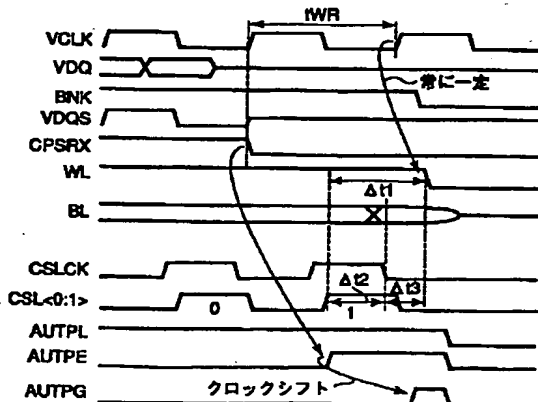
【図14】



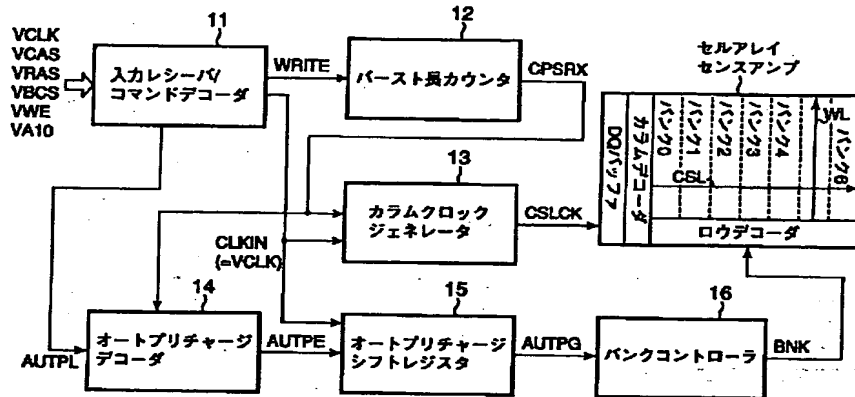
(b)



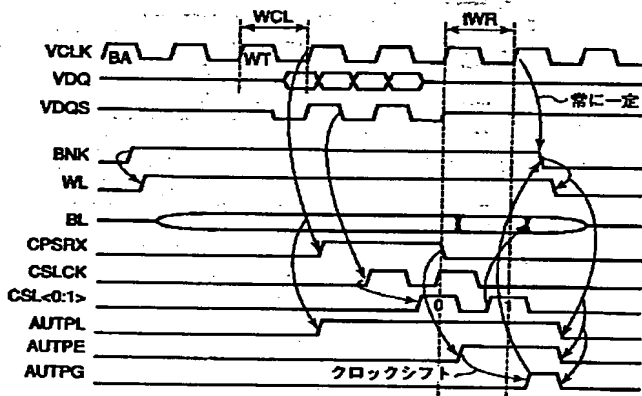
【図16】



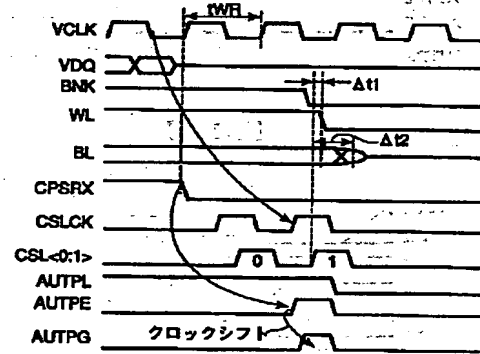
【図12】



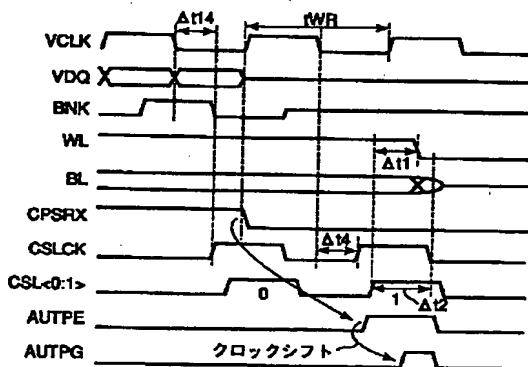
【図15】



【図17】



【図18】



【図19】

